

# DDR1、DDR2用リニアバスターミネーションレギュレータ TJ2997



## 特徴

- ・ソース電流、シンク電流
- ・低オフセット出力電圧
- ・外付け抵抗不要
- ・リニアトポロジー
- ・外付け部品点数 削減可能
- ・サーマルシャットダウン
- ・SOP8, SOP8-PP パッケージ

## 用途

- ・DDR II、III ターミネーション
- ・SSTL ターミネーション
- ・HSTL ターミネーション

Standards	AVIN (V)	PVIN (V)	VDDQ (V)	Vout	Sink&Source Current (A)	PKG
DDR- I / II / III	2.3~5.5	0~AVIN	1.5~2.5	Vtt/Vref	1.5 (Cont.) 3.0 (Peak)	SOP-8, SOP-8PP

## 端子配列



## ピン配置

Pin No.	Pin Name	Pin Function
1	GND	Ground
2	EN	Enable
3	VSENSE	Feedback Pin for Regulating $V_{TT}$
4	VREF	Buffered Internal Reference Voltage of $V_{DDQ}/2$
5	VDDQ	Input for Internal Reference Equal to $V_{DDQ}/2$
6	AVIN	Analog Bias Input Pin
7	PVIN	Power Input Pin
8	VTT	Output Voltage for Connection to Termination Resistors
	Exposed Thermal PAD	Exposed Thermal Connection. Connect to Ground. (SOP8-PP Only)

## TYPICAL APPLICATION

